

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016486

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H03K 17/30  
H03K 17/567

(21)Application number : 2000-198662

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 30.06.2000

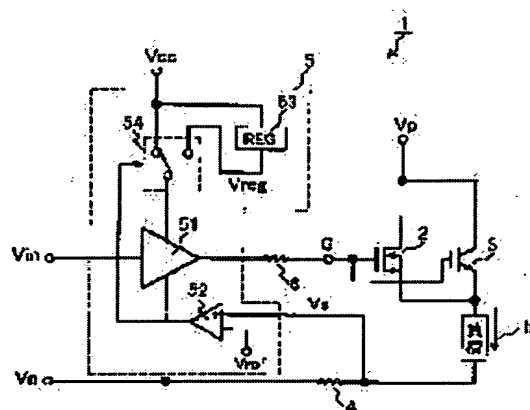
(72)Inventor : NAGURA HIDEAKI  
ARAKAWA RYUTARO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device, which reduces a power loss at the small power driving time of a load and deals with even high power driving.

**SOLUTION:** This device is provided with a power MOSFET 2 to be turned into conductive state by impressing a first driving voltage to a gate electrode and an IGBT to be turned into conductive state by impressing the second driving voltage of a level different from that of the first driving voltage to a gate electrode, the power MOSFET and the IGBT are connected in parallel to a current to be supplied to the load. When the current allowed to flow through the load is small, the first driving voltage for driving only the power MOSFET is impressed to the gate electrode, and when the current allowed to flow through the load is great, the second driving voltage higher than the first driving voltage for mainly driving the IGBT is impressed to the gate electrode.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**



## 【特許請求の範囲】

【請求項1】 第1駆動電圧を駆動電極に印加することにより導通状態となる第1電圧駆動型スイッチング素子と、前記第1駆動電圧とは異なるレベルの第2駆動電圧を駆動電極に印加することにより導通状態となる第2電圧駆動型スイッチング素子とを備え、

前記第1電圧駆動型スイッチング素子と前記第2電圧駆動型スイッチング素子とを負荷への供給電流に対して並列に接続したことを特徴とする半導体装置

【請求項2】 前記半導体装置は、並列接続された前記第1および第2電圧駆動型スイッチング素子の一方の対と、並列接続された前記第1および第2電圧駆動型スイッチング素子の他方の対とを直列に接続したトータムボール接続構造を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体装置は、前記負荷に流れる電流を検出する電流検出部と、前記電流検出部により検出された電流値に基づいて、並列接続された前記第1および第2電圧駆動型スイッチング素子の駆動電極に対して出力する電圧を前記第1駆動電圧および前記第2駆動電圧のいずれかに切り換える制御部とを備えたことを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記制御部は、前記電流検出部により検出された前記電流値が所定値よりも小さい場合、前記第2駆動電圧よりも小さなレベルを有する前記第1駆動電圧を出力することを特徴とする請求項3記載の半導体装置。

【請求項5】 前記第1電圧駆動型スイッチング素子の第1閾値電圧と前記第2電圧駆動型スイッチング素子の第2閾値電圧との差が2V以上であり、前記第1電圧駆動型スイッチング素子の導通抵抗を $R_{on}$ 、前記第2電圧駆動型スイッチング素子の導通時電圧降下を $V_d$ とした場合、前記所定値は $V_d \cdot R_{on}$ に設定されることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記半導体装置は、第1抵抗性素子および第2抵抗性素子を備え、前記第1抵抗性素子は前記第1電圧駆動型スイッチング素子の駆動電極に接続された一端を有し、前記第2抵抗性素子は前記第2電圧駆動型スイッチング素子の駆動電極に接続された一端を有し、前記第1および第2抵抗性素子は共通電極に接続された他端を有し、前記制御部は、前記共通電極に前記第1駆動電圧または前記第2駆動電圧を出力することを特徴とする請求項3記載の半導体装置。

【請求項7】 前記半導体装置は、一端が前記第1電圧駆動型スイッチング素子の駆動電極に接続され、他端が前記第2電圧駆動型スイッチング素子の駆動電極に接続された第3抵抗性素子と、一端が前記第1電圧駆動型スイッチング素子の駆動電極

に接続された第4抵抗性素子と、

前記第4抵抗性素子の他端に接続され、前記制御部からの制御信号に応じて前記第1抵抗性素子を介して前記第1電圧駆動型スイッチング素子を非導通状態にする第3スイッチング素子を備え、

前記制御部は、前記第3抵抗性素子の一端に前記第1駆動電圧または前記第2駆動電圧を出力することを特徴とする請求項3記載の半導体装置。

【請求項8】 前記第1電圧駆動型スイッチング素子は金属酸化膜型電界効果トランジスタであり、前記第2電圧駆動型スイッチング素子は絶縁ゲート型バイポーラトランジスタである請求項1から7のいずれか一項記載の半導体装置。

【請求項9】 請求項1から8のいずれか一項記載の半導体装置を用いたことを特徴とする電力制御機器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、エアコン等の電力制御機器に適用され、電圧駆動型のスイッチング素子を用いて負荷に供給する電力を制御する技術に関する。

## 【0002】

【従来の技術】スイッチング素子として、電圧駆動型半導体素子は、通常のバイポーラトランジスタのような電流駆動型半導体素子に比べて、駆動時の電力損失が極めて小さく、制御性も良いという利点を生かして多くの分野で用いられている。特に、高電圧、大電力を扱う分野では、これらの利点は重要なものとなる。かかる要求に応える代表的な電圧駆動型半導体素子としては、パワーMOSFET（金属酸化膜型電界効果トランジスタ）やIGBT（絶縁ゲート型バイポーラトランジスタ）などがある。

【0003】パワーMOSFETの場合、高電圧で利用するためには、ドレイン領域を厚く、かつ不純物濃度を低くする必要がある。このようなプロセス条件に設定すると、ドレイン領域の抵抗が高くなり、その結果オン抵抗が高くなって、素子自体の電力損失が極めて大きくなるという欠点がある。

【0004】一方、IGBTは、パワーMOSFETのドレインにキャリア注入層を接続した構造をとり、IGBTのオン時には、このキャリア注入層からキャリア（例えば、正孔）が注入されて導電率変調が生じるため、オン抵抗をパワーMOSFETの約1/4に低減できるという利点がある。

【0005】図7は、従来例として、IGBTをスイッチング素子として用いたモータ駆動用インバータ回路の主要部分を示す回路図である。

【0006】図7に示すインバータ回路は、調整された電力を負荷へ供給するスイッチング部7aと、スイッチング部7aの動作を制御する制御部7bとから構成され

る。スイッチング部7aは、3個のトータムボール接続構造を有するIGBT7a-1と7a-2、IGBT7a-3と7a-4、およびIGBT7a-5と7a-6からなる。IGBT7a-1と7a-2、IGBT7a-3と7a-4、およびIGBT7a-5と7a-6は、それぞれ、制御部7bの3個の制御用集積回路7b-1、7b-2、および7b-3が出力するゲート電圧VG1とVG2、VG3とVG4、およびVG5とVG6にตอบสนองして、負荷としての3相モータ71へ供給する電流を反復的に遮断または導通させる。

【0007】この回路では、外部電源から2個の電源端子にそれぞれ高電源電圧Vpおよび低電源電圧Vnが印加され、高電源電圧Vpは、トータムボール接続構造の一方のスイッチング素子であるIGBT7a-1、7a-3、7a-5に供給され、低電源電圧Vnは、3相モータに流れる電流を検出するための抵抗器72を介して、トータムボール接続構造の他方のスイッチング素子であるIGBT7a-2、7a-4、7a-6に供給される。ここで、電流検出用抵抗器72に流れる電流は電圧として、制御用集積回路7b-1、7b-2、7b-3のセンス電圧端子Vsを介して検出され、そのセンス電圧の大きさに応じて、ゲート電圧VG1～VG6が制御される。

【0008】このゲート電圧VG1とVG2、VG3とVG4、およびVG5とVG6を受けて、それぞれ、IGBT7a-1と7a-2、IGBT7a-3と7a-4、およびIGBT7a-5と7a-6の出力端子から3相モータ71のW相、V相、U相に供給される電力が制御される。

【0009】かかる大電力のインバータ回路では、近年、省エネルギー化、効率アップによる高出力化、および電源高調波規制対応が課題となっており、これらの課題を解決すべく、電力制御には、PAM (Pulse Amplitude Modulation) 制御を用いている。PAM制御では、低出力時に直流電流を低く、高出力時に直流電流を高く制御する。これによって、インバータのPWMデューティ比を大きくすることができ、モータの高周波における鉄損の低減とスイッチング素子の損失低減が実現し、省エネルギー化を実現している。特に、エアコン等に用いられる高出力スイッチング素子として、図7に示すように、大電流で電力損失の少ない電圧駆動型半導体素子であるIGBTを用いるのが一般的である。

【0010】

【発明が解決しようとする課題】図7に示すようなインバータ回路では、エアコンを起動する際には、暖房もしくは冷房にかかわらず高出力で動作するため、高出力時の電力損失の少ないIGBTは有効であるが、起動後に定常動作期間、すなわち、室温が設定温度になった後の温度維持で最も使用期間の長い期間になると、出力は起動時の半分以下になる。

【0011】しかしながら、IGBTの場合、約0.6V～約0.8Vの接合による電圧降下が絶えず存在するため、定常動作状態である小電力駆動時のスイッチング素子自体の損失を低減することが困難であり、したがって機器全体の電力損失の低減には限界があった。

【0012】本発明は、上記の問題点に鑑みてなされたものであり、その目的は、負荷の小電力駆動時における電力損失を低減するとともに、高電力駆動にも対応した半導体装置およびそれを用いた電力制御機器を提供することにある。

【0013】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る半導体装置は、第1駆動電圧を駆動電極に印加することにより導通状態となる第1電圧駆動型スイッチング素子と、第1駆動電圧とは異なるレベルの第2駆動電圧を駆動電極に印加することにより導通状態となる第2電圧駆動型スイッチング素子とを備え、第1電圧駆動型スイッチング素子と第2電圧駆動型スイッチング素子とを負荷への供給電流に対して並列に接続したことを特徴とする。この場合、第1電圧駆動型スイッチング素子はパワーMOSFET、第2電圧駆動型スイッチング素子はIGBTであることが好ましい。

【0014】また、前記半導体装置は、並列接続された前記第1および第2電圧駆動型スイッチング素子の一方の対と、並列接続された前記第1および第2電圧駆動型スイッチング素子の他方の対とを直列に接続したトータムボール接続構造を有することが好ましい。

【0015】また、前記半導体装置は、負荷に流れる電流を検出する電流検出部と、電流検出部により検出された電流値に基づいて、並列接続された第1および第2電圧駆動型スイッチング素子の駆動電極に対して出力する電圧を第1駆動電圧および第2駆動電圧のいずれかに切り換える制御部とを備えることが好ましい。

【0016】また、前記制御部は、電流検出部により検出された電流値が所定値よりも小さい場合、第2駆動電圧よりも小さなレベルを有する第1駆動電圧を出力することが好ましい。

【0017】上記の半導体装置によれば、起動時等のような短期間で高出力が必要な場合には、オン抵抗の小さなIGBTとオン抵抗の大きなパワーMOSFETの両方を動作させ、定常動作時のような長期間にわたって低出力動作する場合には、接合による電圧降下が存在するIGBTをオフ状態にして、接合による電圧降下の無いパワーMOSFETのみの動作に切り換えることで、低出力時にスイッチング素子自体による電力損失を低減するとともに、高出力にも対応することが可能になる。

【0018】また、前記半導体装置において、第1電圧駆動型スイッチング素子の第1閾値電圧と第2電圧駆動型スイッチング素子の第2閾値電圧との差が2V以上であり、第1電圧駆動型スイッチング素子のオン抵抗をR

on、第2電圧駆動型スイッチング素子のオン時電圧降下を $V_d$ とした場合、制御部による第1駆動電圧と第2駆動電圧の切り換えの判断基準となる検出電流の所定値は $V_d \cdot R_{on}$ に設定されることが好ましい。

【0019】この構成によれば、パワーMOSFETとIGBTのゲート駆動閾値電圧の差を2V以上とすることで、負荷電流値が小さいときにパワーMOSFETのみのみを確実にオン状態にすることができる。このゲート駆動閾値電圧の差が2Vよりも小さい場合、スイッチング時にパワーMOSFETとIGBTの両方のスイッチング素子がオン状態となり、両素子のゲートに電荷を充電するため、スイッチング時間が遅くなるとともに、パワーMOSFETのみ駆動する場合と比較して、スイッチング損失が増加する。しかしながら、上記構成によりこの問題を解決することができる。

【0020】また、パワーMOSFETとIGBTに対するゲート駆動電圧の切り換えの判断基準となる検出電流の所定値を、IGBTの接合による電圧降下に相当する電圧 $V_d$ をパワーMOSFETのオン抵抗 $R_{on}$ で割った値に設定することで、パワーMOSFETとIGBTの動作切り替えを最適化することが可能になる。

【0021】また、前記半導体装置は、第1抵抗性素子および第2抵抗性素子を備え、第1抵抗性素子は第1電圧駆動型スイッチング素子の駆動電極に接続された一端を有し、第2抵抗性素子は第2電圧駆動型スイッチング素子の駆動電極に接続された一端を有し、第1および第2抵抗性素子は共通電極に接続された他端を有し、制御部は、共通電極に第1駆動電圧または第2駆動電圧を出力することが好ましい。

【0022】この構成によれば、パワーMOSFETとIGBTのゲート電極にそれぞれ最適な抵抗値を有するゲート抵抗を接続することで、オンスイッチング時とオフスイッチング時におけるスイッチング損失を、 $dV/dt$ 誤動作耐量のマージンに対して最小にすることができる。

【0023】また、前記半導体装置は、一端が第1電圧駆動型スイッチング素子の駆動電極に接続され、他端が第2電圧駆動型スイッチング素子の駆動電極に接続された第3抵抗性素子と、一端が第1電圧駆動型スイッチング素子の駆動電極に接続された第4抵抗性素子と、第4抵抗性素子の他端に接続され、制御部からの制御信号に応じて第4抵抗性素子を介して第1電圧駆動型スイッチング素子を非導通状態にする第3スイッチング素子を備え、制御部は、第3抵抗性素子の一端に第1駆動電圧または第2駆動電圧を出力することが好ましい。

【0024】この構成によれば、IGBTをオン状態からオフ状態にする際に、まず、制御部からの制御信号によって第3スイッチング素子を導通状態にし、抵抗器と第3スイッチング素子を介してパワーMOSFETのゲート・ソース間を短絡状態にして、パワーMOSFET

をオフ状態にし、その後、IGBTのゲート電圧を下げてIGBTをオフ状態にすることで、パワーMOSFETに過電流が流れるのを防止することができ、オフ時のスイッチング損失を低減することが可能になる。

【0025】前記の目的を達成するため、本発明に係る電力制御機器は、前記半導体装置を用いたことを特徴とする。

【0026】この電力制御機器によれば、例えばエアコンの起動時等のような短期間で高出力が必要な場合には、オン抵抗の小さなIGBTとオン抵抗の大きなパワーMOSFETの両方を動作させ、定常動作時のような長期間にわたって低出力動作する場合には、接合による電圧降下が存在するIGBTをオフ状態にして、接合による電圧降下の無いパワーMOSFETのみの動作に切り換えることで、低出力時にスイッチング素子自体による電力損失を低減するとともに、高出力にも対応することができ、長い使用期間にわたって機器全体の電力損失を低減することができるので、さらなる省エネルギー化を実現することが可能になる。

【0027】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。なお、図面を通して、同じ構成および機能を有する要素については同一の符号を付す。

【0028】(第1実施形態) 図1は、本発明の第1実施形態による半導体装置の構成を示す回路図である。図1において、半導体装置1は、並列接続されたパワーMOSFET 2(第1電圧駆動型スイッチング素子)およびIGBT 3(第2電圧駆動型スイッチング素子)と、負荷に流れる電流を検出するための電流検出抵抗4と、電流検出抵抗4(電流検出部)により電圧として検出された負荷電流の大きさに応じて、ゲート抵抗6を介してパワーMOSFET 2とIGBT 3の共通ゲート端子Gに供給するゲート駆動閾値電圧を切り換え制御する制御部5とから構成される。

【0029】制御部5は、外部からの入力信号 $V_{in}$ に応じてパワーMOSFET 2とIGBT 3をスイッチング駆動するドライバ51と、電流検出抵抗4からの検出電圧 $V_s$ が正転入力端子に供給され、基準電圧 $V_{ref}$ が反転入力に供給され、検出電圧 $V_s$ が基準電圧 $V_{ref}$ を上回った場合に論理「1」レベルの信号を出力し、検出電圧 $V_s$ が基準電圧 $V_{ref}$ を下回った場合に論理「0」レベルの信号を出力するコンパレータ52と、コンパレータ52からの出力信号が論理「1」レベルの場合、電源電圧 $V_{cc}$ (第2駆動電圧)を、コンパレータ52からの出力信号が論理「0」レベルの場合、電源電圧 $V_{cc}$ をレギュレータ53により降圧した電圧 $V_{reg}$ (第1駆動電圧)を切り換えて、ドライバ5の電源電圧として出力するスイッチ54とから構成される。

【0030】なお、負荷に流れる電流が $I_s$ の場合に、

パワーMOSFET 2とIGBT 3のゲート駆動電圧の切り換えを行い、電流検出抵抗4の抵抗値を $R_s$ とすると、コンパレータ52の基準電圧 $V_{ref}$ は、 $V_{ref} = R_s \cdot I_s$ に設定される。

【0031】ここで、パワーMOSFET 2のゲート駆動閾値電圧（第1閾値電圧）が4.0V、オン抵抗 $R_{on}$ が0.5Ωで、IGBT 3のゲート駆動閾値電圧（第2閾値電圧）が7.5V、接合による電圧降下 $V_d$ が0.6Vであるとする。また、 $V_{cc}$ を15V、 $V_{reg}$ を7.5Vとする。この場合、パワーMOSFET 2とIGBT 3のゲート駆動電圧の切り換えが行われる負荷電流 $I_s$ は、

$I_s = V_d / R_{on} = 0.6V / 0.5\Omega = 1.2A$ となる。

【0032】したがって、負荷に流れる電流が1.2A未満である場合、検出電圧 $V_s < R_s \cdot I_s$ となり、コンパレータ52から出力される信号が論理「0」レベルとなって、スイッチ53は $V_{reg}$ （=7.5V）を電源電圧としてドライバ51に供給し、ドライバ51は $V_{reg}$ （=7.5V）からゲート駆動電圧を生成し出力するので、パワーMOSFET 2のみが駆動される。

【0033】一方、負荷に流れる電流が1.2A以上になると、検出電圧 $V_s \geq R_s \cdot I_s$ となり、コンパレータ52から出力される信号が論理「1」レベルとなって、スイッチ53は $V_{cc}$ （=15V）を電源電圧としてドライバ51に供給し、ドライバ51は $V_{cc}$ （=15V）からゲート駆動電圧を生成し出力するので、パワーMOSFET 2とIGBT 3の両方が駆動される。

【0034】なお、図2に、パワーMOSFETとIGBTの単独での $V-I$ 特性曲線を破線で、パワーMOSFETとIGBTを並列接続した場合の $V-I$ 特性曲線を実線で示す。図2から明らかなように、全ての電流領域A、B、Cにおいてスイッチング素子の電圧降下が小さくなり、損失が小さくなっている。

【0035】以上のように、本実施形態によれば、高電力誘導性負荷の起動時等のような短期間で高出力が必要な場合には、オン抵抗の小さなIGBTとオン抵抗の大きなパワーMOSFETの両方を動作させ（実際には、パワーMOSFETのオン抵抗をIGBTに比べて大きく設定することで、パワーMOSFETにはほとんど電流が流れない）、定常動作時のような長期間にわたって低出力動作する場合には、接合による電圧降下が存在するIGBTをオフ状態にして、接合による電圧降下の無いパワーMOSFETのみの動作に切り換えることで、低出力時にスイッチング素子自体による電力損失を低減するとともに、高出力にも対応することが可能になる。

【0036】また、パワーMOSFET 2とIGBT 3のゲート駆動閾値電圧の差を2V以上、本実施形態では3.5V（=7.5-4.0V）とすることで、負荷電流値が小さいときにパワーMOSFETのみを確実にオ

ン状態にすることができる。このゲート駆動閾値電圧の差が2Vよりも小さい場合、スイッチング時にパワーMOSFETとIGBTの両方のスイッチング素子がオン状態となり、両素子のゲートに電荷を充電するため、スイッチング時間が遅くなるとともに、パワーMOSFETのみ駆動する場合と比較して、スイッチング損失が20%程度増加する。しかしながら、上記構成によりこの問題を解決することができる。

【0037】（第2実施形態）図3は、本発明の第2実施形態による半導体装置の構成を示す回路図である。図3において、並列接続されたパワーMOSFET 2とIGBT 3のゲート端子G1とG2はそれぞれ独立しており、パワーMOSFET 2のゲート端子G1には抵抗器31（第1抵抗性素子）の一端が接続され、IGBT 3のゲート端子G2には抵抗器32（第2抵抗性素子）の一端が接続され、抵抗器31と32の他端は共通接続されて制御部5からのゲート駆動電圧が供給される。

【0038】上記の構成において、抵抗器31と32の抵抗値をパワーMOSFET 2とIGBT 3のそれぞれに最適な値に設定することで、オンスイッチング時とオフスイッチング時におけるスイッチング損失を、 $dV/dt$ 誤動作耐量のマージンに対して最小にすることができる。

【0039】（第3実施形態）図4は、本発明の第3実施形態による半導体装置の構成を示す回路図である。図4において、パワーMOSFET 2のゲート端子と制御部5のゲート駆動電圧出力端子（ $V_g$ ）との間には、パワーMOSFET 2のゲート抵抗として機能する抵抗器41（第3抵抗性素子）が接続され、一方、IGBT 3のゲート端子は制御部5のゲート駆動電圧出力端子（ $V_g$ ）に直接接続されている。また、パワーMOSFET 2のゲート端子と低電源電圧 $V_n$ の間には、抵抗器42（第4抵抗性素子）とスイッチング素子43（第3スイッチング素子）が直列に接続され、スイッチング素子43のゲート端子は、制御部5の制御信号出力端子（ $V_c$ ）に接続されている。

【0040】このように構成された半導体装置において、IGBT 3をオン状態からオフ状態にする際に、まず、制御部5からの制御信号 $V_c$ によってスイッチング素子43を導通状態にし、抵抗器42とスイッチング素子43を介してパワーMOSFET 2のゲート・ソース間を短絡状態にして、パワーMOSFET 2をオフ状態にし、その後、IGBT 3に印加するゲート駆動電圧を下げ、IGBT 3をオフ状態にすることで、IGBT 3のゲート駆動閾値電圧がパワーMOSFET 2の閾値電圧よりも大きいことに起因して、IGBT 3がパワーMOSFET 2よりも先にオフ状態となり、パワーMOSFET 2に過電流が流れるのを防止することができ、オフ時のスイッチング損失を約15%低減することが可能になる。

【0041】(第4実施形態)図5は、本発明の第4実施形態による半導体装置をエアコン等のモータ駆動用インバータ回路に適用した場合の構成を示す回路図である。

【0042】図5において、インバータ回路は、調整された電力を負荷へ供給するスイッチング部5aと、スイッチング部5aの動作を制御する制御部5bとから構成される。スイッチング部5aは、3個のトータムボール接続構造を有しており、1つ目は、並列接続されたパワーMOSFET5a-1およびIGBT5a-1'の対と並列接続されたパワーMOSFET5a-2およびIGBT5a-2'の対とのトータムボール接続構造51、2つ目は、並列接続されたパワーMOSFET5a-3およびIGBT5a-3'の対と並列接続されたパワーMOSFET5a-4およびIGBT5a-4'の対とのトータムボール接続構造52、3つ目は、並列接続されたパワーMOSFET5a-5およびIGBT5a-5'の対と並列接続されたパワーMOSFET5a-6およびIGBT5a-6'の対とのトータムボール接続構造53である。

【0043】トータムボール接続構造51、52、および53は、それぞれ、制御部5bの3個の制御用集積回路5b-1、5b-2、および5b-3が出力するゲート駆動電圧VG1とVG2、VG3とVG4、およびVG5とVG6にตอบสนองして、負荷としての3相モータ55へ供給する電流を反復的に遮断または導通させる。

【0044】この回路では、外部電源から2個の電源端子にそれぞれ高電源電圧Vpおよび低電源電圧Vnが印加され、高電源電圧Vpは、トータムボール接続構造の一方の対であるパワーMOSFET5a-1とIGBT5a-1'、パワーMOSFET5a-3とIGBT5a-3'、およびパワーMOSFET5a-5とIGBT5a-5'に供給され、低電源電圧Vnは、3相モータに流れる電流を検出するための抵抗器54を介して、トータムボール接続構造の他方の対であるパワーMOSFET5a-2とIGBT5a-2'、パワーMOSFET5a-4とIGBT5a-4'、およびパワーMOSFET5a-6とIGBT5a-6'に供給される。ここで、電流検出用抵抗器54に流れる電流は電圧として、制御用集積回路5b-1、5b-2、5b-3のセンス電圧入力端子(Vs)を介して検出され、そのセンス電圧Vsの大きさに応じて、ゲート駆動電圧VG1～VG6が制御される。

【0045】このゲート駆動電圧VG1とVG2、VG3とVG4、およびVG5とVG6を受けて、それぞれ、トータムボール接続構造51、52、および53の出力端子から3相モータ55のW相、V相、U相に供給される電力が制御される。

【0046】上記のように構成された本実施形態によれば、エアコン等の起動時等のような短期間で高出力が必

要な場合には、オン抵抗の小さなIGBTとオン抵抗の大きなパワーMOSFETの両方を動作させ(実際には、パワーMOSFETのオン抵抗をIGBTに比べて大きく設定することで、パワーMOSFETにはほとんど電流が流れない)、定常動作時のような長期間にわたって低出力動作する場合には、接合による電圧降下が存在するIGBTをオフ状態にして、接合による電圧降下の無いパワーMOSFETのみの動作に切り換えることで、低出力時にスイッチング素子自体による電力損失を低減するとともに、高出力にも対応することができ、長い使用期間にわたって機器全体の電力損失を低減することができるので、さらなる省エネルギー化を実現することが可能になる。

【0047】図6に、図2に示した電流領域A、B、Cに対応した3相モータ55の電流波形 $I_u$ 、 $I_v$ 、 $I_w$ の時間変化(a)と、電流波形 $I_u$ 、 $I_v$ 、 $I_w$ のそれぞれに対応した、トータムボール接続構造のゲート駆動電圧VGの時間変化(b)、(c)、(d)との関係を示す。

【0048】このように、リアルタイムで電流値を検出して、ゲート駆動電圧を最適化することで、図7に示す従来のインバータ回路と比較して、電流が1Arms時には15%、電流が2Arms時には20%、電流が3Arms時には20%、スイッチング素子における損失を低減することが可能となった。

【0049】

【発明の効果】以上説明したように、本発明の半導体装置によれば、電力誘導性負荷の起動時等のような短期間で高出力が必要な場合には、オン抵抗の小さなIGBTとオン抵抗の大きなパワーMOSFETの両方を動作させ、定常動作時のような長期間にわたって低出力動作する場合には、接合による電圧降下が存在するIGBTをオフ状態にして、接合による電圧降下の無いパワーMOSFETのみの動作に切り換えることで、低出力時にスイッチング素子自体による電力損失を低減するとともに、高出力にも対応することが可能になる。

【0050】また、本発明の半導体装置を電力制御機器に適用することで、長い使用期間にわたって機器全体の電力損失を低減することができるので、さらなる省エネルギー化を実現することが可能になる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態による半導体装置の構成を示す回路図

【図2】 パワーMOSFETとIGBTの単独でのV-I特性曲線、およびパワーMOSFETとIGBTを並列接続した場合のV-I特性曲線を示す図

【図3】 本発明の第2実施形態による半導体装置の構成を示す回路図

【図4】 本発明の第3実施形態による半導体装置の構成を示す回路図



【図5】 本発明の第4実施形態による半導体装置をモータ駆動用インバータ回路に適用した場合の構成を示す回路図

【図6】 本発明の第4実施形態において、図2に示した電流領域A、B、Cに対応した3相モータの電流波形 $I_A$ 、 $I_B$ 、 $I_C$ の時間変化(a)と、電流波形 $I_A$ 、 $I_B$ 、 $I_C$ のそれぞれに対応したトータムボール接続構造のゲート駆動電圧 $V_g$ の時間変化(b)、(c)、(d)との関係を示す図

【図7】 従来のモータ駆動用インバータ回路の構成を示す回路図

【符号の説明】

1 半導体装置

2、5a-1～5a-6 パワー-MOSFET (第1電

圧駆動型スイッチング素子)

3、5a-1'～5a-6' IGBT (第2電圧駆動型スイッチング素子)

4、54 電流検出用抵抗 (電流検出部)

5、5b 制御部

5a スwitchング部

5b-1～5b-3 制御用集積回路

31 抵抗器 (第1抵抗性素子)

32 抵抗器 (第2抵抗性素子)

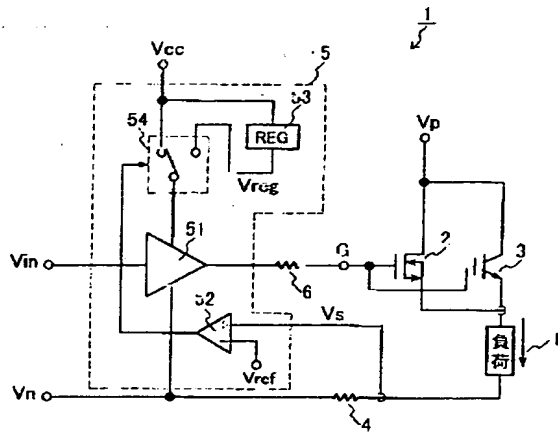
41 抵抗器 (第3抵抗性素子)

42 抵抗器 (第4抵抗性素子)

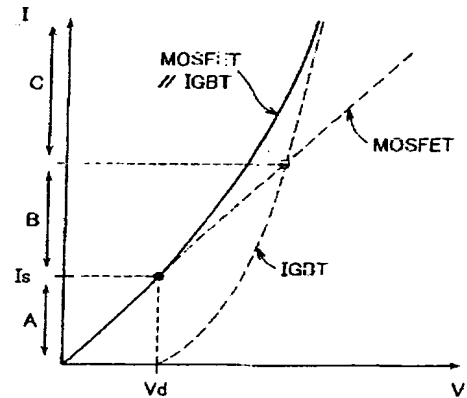
43 スwitchング素子 (第3スswitchング素子)

51、52、53 トータムボール接続構造

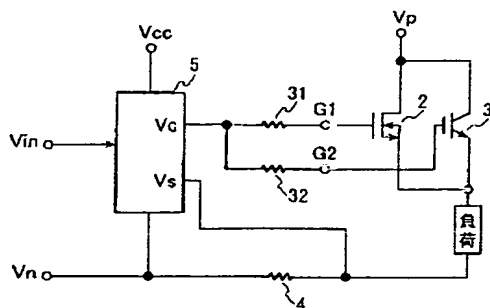
【図1】



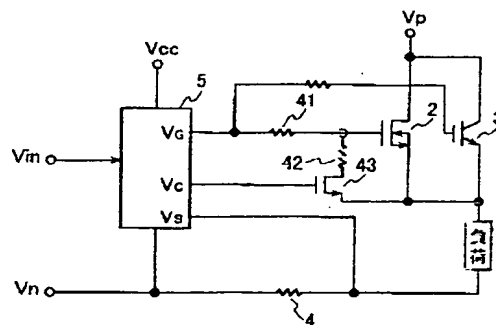
【図2】



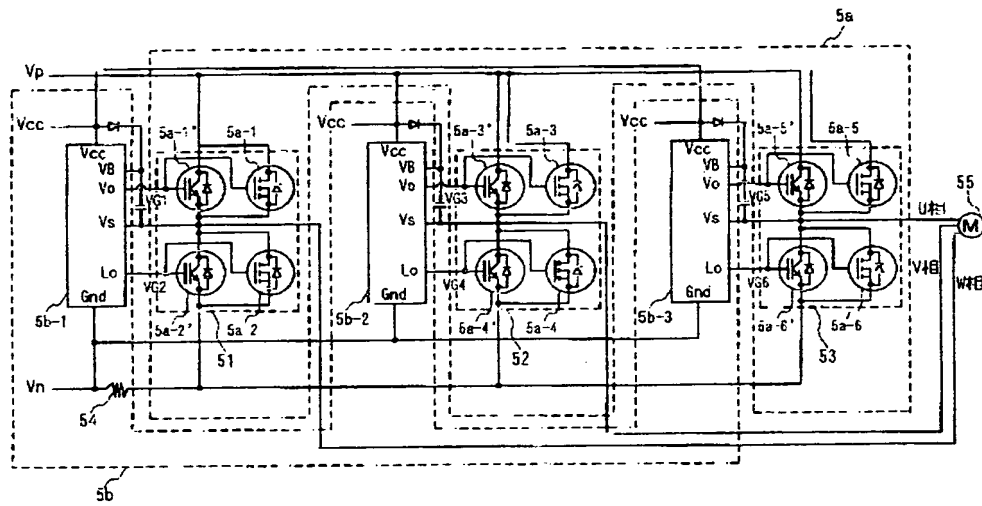
【図3】



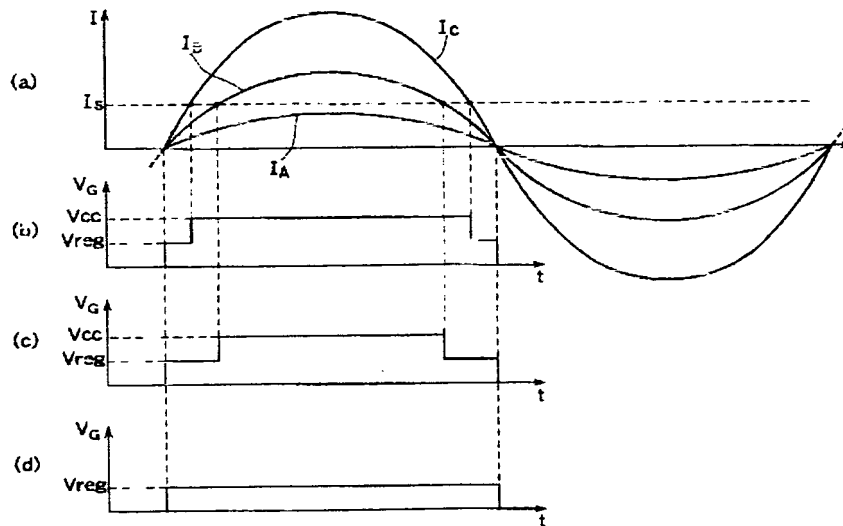
【図4】



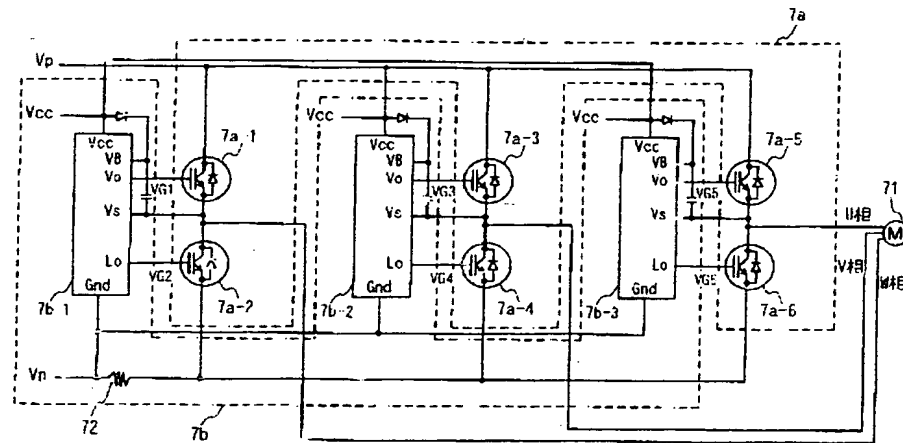
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5J055 AX12 AX66 BX16 CX08 CX20  
 DX09 DX22 DX54 DX56 DXS2  
 DXSS EX06 EX07 EY01 EY12  
 EY17-EY21 EZ10 FX04 FX08  
 FX12 FX19 FX31 FX32 GX01  
 GX06

**THIS PAGE BLANK (USPTO)**